

Ultra Low Voltage One-Time-Program Memory Array Architecture and Resistance Model

極低電壓一次寫入記憶體之陣列架構及電阻模型

指導教授：林崇榮

組別：B256

組員：白庭萱、林潔心

摘要

Abstract

OTP memory 全名為 one-time programmable memory，為一次性可編成記憶體，是一種非揮發性記憶體。OTP 只允許進行一次編程，一旦介面熔絲 (Fuse) 被燒斷將形成高電阻，數據將永久維持，是不可逆的過程；若為理想狀態，可進行無限次讀取。在邏輯定義上，高電阻的狀態即為邏輯上的 0，原始的低電阻為邏輯上的 1。由於 OTP 多是以陣列的形式應用於電子產品中，因此若能減少 OTP cell 的面積，必能大大降低整個陣列所佔的空間。

本專題使用的元件為 Metal-Fuse OTP memory 並加入了 Current Divider Via，與傳統的 OTP 不同，由於 CDVia 提供編程電流另一條路徑，可以分散部分電流，因此 OTP 內的電晶體的大小可以有效地降低以節省面積。

我們將利用機台 b1500 來量測 10 顆 16nm FinFET CMOS 技術的 OTP Fuse，透過實際量測獲得 OTP 編程標準，接著利用 28nm 製程檔進行 HSPICE 模擬 4X4 與 8X8 的 OTP 陣列，確保在 1X1 OTP cell 可成功編程的條件下，在陣列中也能實行。

架構

Architecture

Metal-Fuse OTP 是由一個電晶體及三層金屬組合而成。電晶體的閘極端連接 Word Line，源極端連接使用 Metal 2 的 Bit Line。汲極端的一端為 Metal-Fuse 與 Source Line，為主要進行編程的地方，Metal-Fuse 是由 Metal 1 組成，為了提升電流密度，金屬導線的寬度很窄，因此當編程電流足夠大，使導線內部

的電流密度大於臨界值時，Metal-Fuse 便會斷裂；另一端為分散大部分編程電流的 Current Divider Via (CDVia)，此 via 介於 metal 2 與 metal 3 之間。在編程前，Metal-Fuse 與 CDVia 為通路的狀態，編程後，Metal-Fuse 會被燒斷形成斷路，而 CDVia 與仍維持通路。

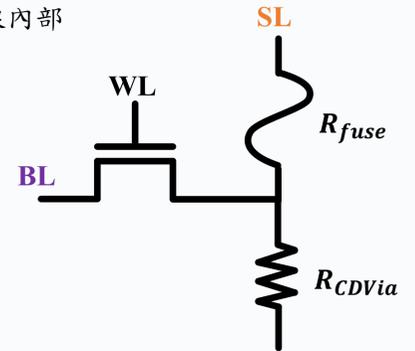


Fig1. Single Metal-Fuse OTP memory with Current Divider Via

元件測量

Characterization

我們使用機台 b1500 來測量實際的 Metal-Fuse OTP memory with Current Divider Via，為了確定該 OTP 是未被編程過的，因此在編程 OTP 之前我們將使用較低的電壓進 Initial read 的量測確保 R_{fuse} 、 R_{CDVia} 和電晶體都是可通過電流的。

在確保元件初始功能正常後，下一步則是要進行編程的動作，我們掃描輸入電壓 VSL 從 0V 到 3V，並觀察元件電流的狀態。我們發現當編程電流到達 12mA 左右時 Fuse 會被燒斷，此時輸入電壓 VSL 為 1.8V。

最後我們則需要驗證被燒斷的電路是哪一部分。因此我們重複 Initial read 的測量步驟，分別檢查三段電路，判斷哪段電路是被燒斷、無法通過電流的，就可以確認是否燒斷的部份是我們所預期的。而得到的結果是只有在 CDV 到 BL 這段電路會有電流產生，可以確認電晶體與 R_{CDVia} 都是沒有被燒斷的。驗證在這個架構下我們能夠達成預期目標、準確燒斷 Metal-Fuse。

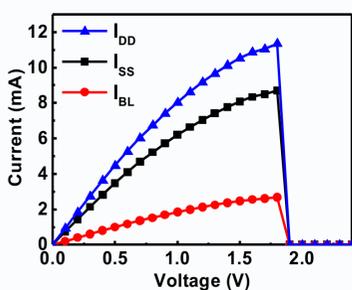


Fig2. 編程電壓與電流關係圖

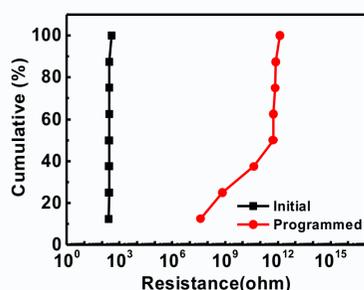


Fig3. 編程前後電阻差異

我們總共測量了 10 個 single OTP cell，以確保在製程差異性之下，我們觀察到的結果能夠符合多數 single OTP cell 的編程條件。並將蒐集到的測量資料製作成下方的圖表。由圖表可以看到多數 OTP cell 編程電壓是分佈在 1.8V 到 3V 之間，而編程電流則是大概在 11mA 上下。

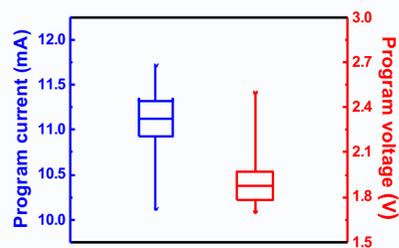


Fig4. 編程電流與電壓誤差線

電路模擬

Array Simulation

在進行完實際量測後，我們利用 HSPICE 來模擬 4X4 與 8X8 的 OTP 陣列，並觀察其編程的電壓、電流特性是否與量測結果相似。根據量測數據，我們將可成功編程 Metal-Fuse 等效電阻的編程電流定為 12mA，而周邊 cell 的 R_{fuse} 電流不可大於 10mA，以避免編程到錯誤的 cell。

	CDV	WL	SL	BL
Select	0V	0.9V	1.95	0V
Unselect	floating	0V	floating	floating

Table 1. input 各點輸入電壓

Table 1. 是模擬矩陣時給予各 input 端點的電壓，當選定某顆 cell，該 cell 的 WL 給予 0.9V，其他未選取的 WL 給 0V；與選取 cell 同行的 CDV 與同列的 BL 給予 0V，其餘 CDV 與 BL 為浮動電壓；與選取 cell 同行的 SL 為編程電壓的輸入端，其餘 SL 是浮動電壓。另外，為了避免導線內的寄生電阻太大導致後端的 cell 沒有足夠的電壓，每個 CDV, WL, SL, BL 在矩陣兩端都會有相同的 input 端，這可以使導線的等效寄生電阻值減半。

4X4 與 8X8 的陣列模擬方式完全相同，以下將以 8X8 陣列為例，而我們選取第四行第四列的 cell 進行模擬。據 Fig5. 的模擬結果，當編程電壓大於 1.95V 時，流經選取 cell 的 R_{fuse} 的電流值為 12.0354mA，周圍 cell 的 R_{fuse} 最大電流為 5.9055mA，皆符合編程標準。

接著我們一樣將陣列中所有 cell 流經 R_{fuse} 的電流值繪製成 8X8 的電流分布圖。從 Fig6. 中可發現依然是選取的 cell 擁有最大的電流，而與其同行同列的 cell 共 14 顆 cell 皆有約 5.5mA 的電流，且越靠近外圍的 cell 電流會越大。

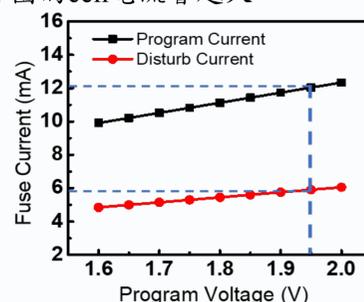


Fig5. 模擬編程電壓-電流關係圖

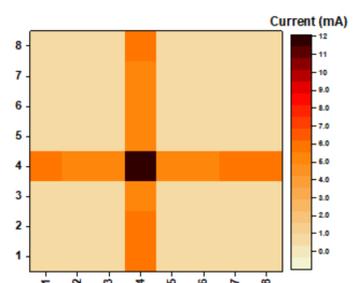


Fig6. 陣列模擬電流分佈圖

結論

Conclusion

我們透過實際量測 1X1 的 OTP cell 來了解 OTP 的編程特性與標準，當流經 R_{fuse} 的編程電流大於約 11mA 時，可以成功編程 OTP，而此時因 R_{fuse} 形成開路而有極高的電阻。此時，若從 OTP 的 SL、CDV 端給與電壓時，只有從 CDV 至 BL 有電流通過，這是因為 Metal-fuse 已被編程。而根據 4X4 與 8X8 的陣列模擬，陣列的行列數越多，要達到 12mA 編程電流所需的編程電壓越大，且與編程目標的 OTP 位在同一行與同一列的 OTP Cell 會有較大的干擾電流，尤其是同一行越靠近 SL, WL 給予電壓的外側 OTP cell。

另外，透過 HSPICE 的模擬，我們了解到在選定編程的 OTP Cell 中，流經 CDVia 與電晶體的電流比例約為 3:1，這也驗證了 Current Divider Via 當初加入了目的。